

(12)特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関  
国際事務局



(43) 国際公開日  
2002 年 8 月 1 日 (01.08.2002)

PCT

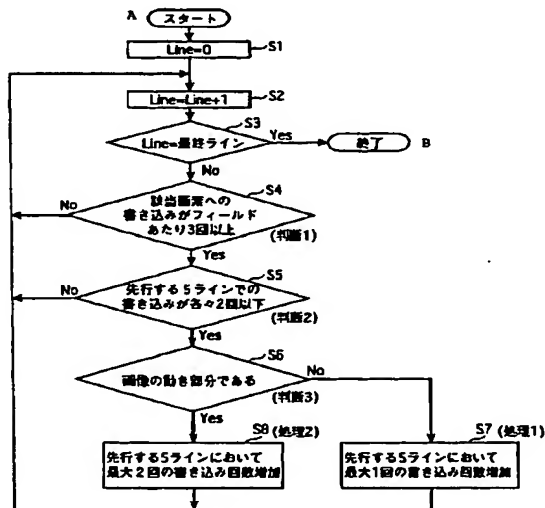
(10) 国際公開番号  
WO 02/059864 A1

- (51) 国際特許分類: G09G 3/20, 3/28, H04N 5/66 (71) 出願人 (米国を除く全ての指定国について): 松下電器産業株式会社 (MATSUSHITA ELECTRIC INDUSTRIAL CO., LTD.) [JP/JP]; 〒571-8501 大阪府門真市大字門真 1006 番地 Osaka (JP).
- (21) 国際出願番号: PCT/JP02/00488 (72) 発明者; および (75) 発明者/出願人 (米国についてのみ): 川原 功 (KAWAHARA, Isao) [JP/JP]; 〒563-0214 大阪府豊能郡豊能町希望ヶ丘 6-15-21 Osaka (JP).
- (22) 国際出願日: 2002 年 1 月 24 日 (24.01.2002) (74) 代理人: 中島 司朗 (NAKAJIMA, Shiro); 〒531-0072 大阪府大阪市北区豊崎三丁目 2 番 1 号淀川 5 番館 6 F Osaka (JP).
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ: 特願2001-18152 2001 年 1 月 26 日 (26.01.2001) JP

[続葉有]

(54) Title: SIGNAL PROCESSOR

(54) 発明の名称: 信号処理装置



A...START  
B...END  
S3...Line=FINAL LINE  
S4...THREE TIMES OR MORE PER FIELD WRITE TO A PIXEL CONCERNED (JUDGMENT 1)  
S5...TWO OR MORE OF WRITE TO PRECEDING 5 LINES (JUDGMENT 2)  
S6...MOVING SECTION OF IMAGE (JUDGMENT 3)  
S8...INCREASE IN WRITE TIME OF MAX. TWICE IN PRECEDING 5 LINES (PROCESSING 2)  
S7...INCREASE IN WRITE TIME OF MAX. ONCE IN PRECEDING 5 LINES (PROCESSING 1)

(57) Abstract: Write scanning with a subfield has sometimes raised the problem of miswrite depending upon a pattern or an image. A still image and a dynamic image are different in correction with a pattern liable to cause miswrite. Particularly in a dynamic image part, a low-luminance write is performed in advance at the front edge of the image to activate a pixel, so that reliable write action is carried out.

[続葉有]



WO 02/059864 A1



(81) 指定国 (国内): CN, KR, US.

(84) 指定国 (広域): ヨーロッパ特許 (AT, BE, CH, CY, DE, DK, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE, TR).

2文字コード及び他の略語については、定期発行される各PCTガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

添付公開書類:

— 国際調査報告書

---

(57) 要約:

サブフィールドを用いた書き込み走査では、パターンや画像の動きによっては書き込みミスが発生することがあった。書き込みミスの発生しやすいパターンでは、静止画および動画で異なる補正を行う。特に動画部分では画像の前縁部分で先行して低輝度の書き込みを行うことで画素を活性化して、書き込み動作が確実に行われるようにする。

明細書  
信号処理装置

技術分野

- 5 本発明は、同じライン上に位置する画素毎に表示情報が書き込まれ、かかる書き込み動作がライン単位に走査され、全画素に対して表示情報が書き込まれるプラズマディスプレイなどの表示装置に関し、特に表示情報の書き込み動作を安定して行い表示する表示装置に用いられる信号処理装置に関する。

10 背景技術

- プラズマディスプレイなどの表示装置を用いて階調表示を行う場合、画像の1フィールド分を複数のサブフィールドに分割し、それぞれのサブフィールドに所定の輝度重みをもたせて各サブフィールド毎に発光の有無を制御して階調表示を行う方法が一般に用いられている(フィールド内時分割階調表示方式)。たとえば、256階調を表示するためには、入力信号の1フィールド相当を8つのサブフィールドの表示情報に分割し、それぞれのサブフィールドにおいて輝度重みを「1」、「2」、「4」、「8」、「16」、「32」、「64」、「128」とし、8ビットの入力デジタル信号であるとする、これを最下位ビットから順に8個の輝度重みをもった前記した各サブフィールドに割り当て、各ビット毎にサブフィールドの発光を制御して各画素の階調制御を行う。しかしながら、表示情報の各画素の書き込みを放電による壁電荷の形成で行うプラズマディスプレイ等では、パネルの特性によっては表示しようとする画像信号通りの情報の書き込みがなされないことがあった。

- 25 このような課題に対して、特開平10-133624号公報記載の従来の技術では、前ラインにおける表示情報によって現ラインの表示情報を補正し、また単独のサブフィールドの発光を避けて複数のサブフィールドを用いた発光を多用することにより、現ラインでの発光情報の書き込み不良の発生確率が多い階調を避けて表示しようとするものが示されている。

しかしながら、このような従来の補正方法では、補正が十分でなかったり、画像

- パターンによっては補正の余地がなかったりするなど、書き込みミスを十分に補うことができなかった。例えば、前ラインが「0」、すなわち発光させようとする輝度が「0」であり、現ラインが最高輝度、すなわち全サブフィールドがすべて発光するような輝度を表示するパターンなどに対しては、書き込みミスの発生確率が高く、かつ書き込みミスが発生した場合の視覚的影響も大きいにも関わらず、何らの救済措置をとることができないという課題を有していた。また、同一のパターンに対して静止画像と動画像では書き込みミスの発生程度が異なる場合にも最適な補正を実施することができなかった。

## 10 発明の開示

本発明は、上記問題点に鑑みて発明されたものであり、様々な画像パターンに対して十分な書き込みミスを補う補正を行うことを第1の目的とする。

また、静止画像と動画像に対してもそれぞれより適した補正を行って良好な表示情報の書き込みを可能とすることを第2の目的とする。

- 15 本発明は、上記第1の目的を達成するために、1フィールドの画像信号を複数のサブフィールドの表示情報に分割し、各サブフィールドの表示情報を各画素に書き込むことにより、走査ライン単位で走査させて画像表示を行わせる信号処理装置において、第*i*走査ライン及び先行する走査ラインの*j*番目の画素に書き込むパターンに基づいて、1フィールド内
- 20 で前記第*i*走査ラインに先行して書き込みを行う少なくとも1ライン以上の走査ラインに属するラインの*j*番目の画素に書き込む表示情報に対応する画像信号を補正する手段を備えることを特徴とする。

- このように、本発明では、従来のように、前ラインにおける表示情報によって現ラインの表示情報を補正し、また、単独のサブフィールドの
- 25 発光を避けて複数のサブフィールドを用いた発光を多用するという手法を用いるのではなく、「第*i*走査ライン及び先行する走査ラインの*j*番目の画素に書き込むパターンに基づいて」、「フィールド内で前記第*i*走査ラインに先行して書き込みを行う少なくとも1ライン以上の走査ラインに属するラインの*j*番目の画素に書き込む表示情報に対応する画像信号を

補正する」ことから、例えば、前ラインが「0」、すなわち発光させようとする輝度が「0」であり、現ラインが最高輝度、すなわち全サブフィールドがすべて発光するような輝度を表示するパターンなどに対しても、書き込みミスの発生確率を低く抑えることができる。従って本発明によれば何れの画像パターンにおいても、書き込みラインである第*i*走査ライン上の*j*番目の表示画素の活性化が図られ、書き込み不良が発生しにくくなる。このことは後述する実施の形態からみても明らかである。

なお、このように補正による書き込み不良を抑制する効果は、フロントパネルと、バックパネルとが隔壁を介在させて対向してなり、同一走査ラインの画素がこの隔壁で仕切られ同一列の画素が空間的に連通したパネルで顕著である。

また、本発明は、上記第2の目的を達成するために、1フィールドの画像信号を複数のサブフィールドの表示情報に分割し、各サブフィールドの表示情報を各画素に書き込むことにより、走査ライン単位で走査させて画像表示を行わせる信号処理装置において、複数のフィールドにわたって第*i*走査ラインの*j*番目の画素に書き込むパターンに基づいて、1フィールド内で前記第*i*走査ラインに先行して書き込みを行う少なくとも1ライン以上の走査ラインに属するラインの*j*番目の画素に書き込む表示情報に対応する画像信号を補正する手段を備えることを特徴とする。

このように、本発明では、従来のように、前ラインにおける表示情報によって現ラインの表示情報を補正し、また、単独のサブフィールドの発光を避けて複数のサブフィールドを用いた発光を多用するという手法を用いるのではなく、「複数のフィールドにわたって第*i*走査ラインの*j*番目の画素に書き込むパターンに基づいて」、「フィールド内で前記第*i*走査ラインに先行して書き込みを行う少なくとも1ライン以上の走査ラインに属するラインの*j*番目の画素に書き込む表示情報に対応する画像信号を補正する」ことから、同一のパターンに対して静止画像と動画像では書き込み不良の発生程度が異なる場合にも最適な補正を実施することができる。このことは後述する実施の形態からみても明らかである。ここで、動画像である場合と静止画像である場合とで補正量を変化させるようにするこ

ともできる。これによって、書き込み誤動作が検知されやすい動き画像での誤動作を効果的に抑制することができる。

なお、このように補正による書き込み不良を抑制する効果は、フロントパネルと、バックパネルとが隔壁を介在させて対向してなり、同一走査ラインの画素がこの  
5 隔壁で仕切られ同一列の画素が空間的に連通したパネルで顕著である。

ここで、前記j番目の画素に書き込む表示情報に対応する画像信号を補正する手段は、前記第i走査ラインに先行して画素を発光させる情報の書き込みを行う少なくとも1ライン以上の走査ラインに属するラインのj番目の表示画素を発光させる情報を書き込む頻度を増加させるものとすることができる。

10 各画素毎への表示情報の書き込みの手法として、表示画素に選択的に書き込み放電を行わせて壁電荷を蓄える手法を採用する場合に、本発明のように、先行して書き込みを行うラインの書き込み頻度を増加させることによって、現行ラインの活性化が促されることから、現行ラインでの書き込み不良を抑制することができる。なお、先行するラインと後行するラインとの間で同じサブ  
15 フィールドの制御状態が同一となるように必ずしも制御せず、書き込み回数を制御することとした場合でも、複数のサブフィールドに跨って空間電荷（プライミング粒子）は存在することとなることから、等価的に画素を形成する部分の活性度を高めて、情報書き込みの確度を高めることができる。

20 ここで、前記j番目の画素に書き込む表示情報に対応する画像信号を補正する手段は、前記第i走査ラインに先行して画素を発光させる情報の書き込みを行う少なくとも1ライン以上の走査ラインに属するラインのj番目の表示画素を消去させる情報を書き込む頻度を増加させるものとすることができる。

各画素毎への表示情報の書き込みの手法として、予め全画素に壁電荷を蓄えておき、非表示の画素で選択的に微弱な放電を行わせて壁電荷を失わせ表示画素に壁電荷を残存させる手法を採用する場合に、本発明のように、先行して書き込みを行うラインの消去頻度を増加させることによって、現行ラインの活性化が促されることから、現行ラインでの書き込み不良（ここでは消去不良）を抑制することができる。なお、先行するラインと後行するラインとの間で同じ  
25

サブフィールドの制御状態が同一となるように必ずしも制御せず、消去回数を制御することとした場合でも、複数のサブフィールドに跨って空間電荷（プライミング粒子）は存在することとなることから、等価的に画素を形成する部分の活性度を高めて、情報書き込みの確度を高めることができる。

ここで、前記画素を発光させる情報を書き込む頻度を増加する場合は、前記表示情報の書き込みがより先行して行われるラインほど前記書き込む頻度を増加する程度を少なくまたは同程度とすることができる。

ここで、前記画素を消去させる情報を書き込む頻度を増加する場合は、前記表示情報の書き込みがより先行して行われるラインほど前記書き込む頻度を増加する程度を少なくまたは同程度とすることができる。

各画素毎への表示情報の書き込みの手法としては、一般に、上記のように、表示画素に選択的に書き込み放電を行わせて壁電荷を蓄える手法や、予め全画素に壁電荷を蓄えておき、非表示の画素で選択的に微弱な放電を行わせて壁電荷を失わせ表示画素に壁電荷を残存させる手法が知られる。

本発明は、このような書き込みの手法を適用する場合における、 $j$ 番目の表示画素に書き込む情報を補正する仕方の具体的手法を提供するもので、これによって、補正の結果生成される画像ともとの画像との差異を極力抑え、視覚的な影響を抑えることができる。

ここで、前記第 $i$ 走査ラインの $j$ 番目の表示画素が動画像のエッジ部分とすることが望ましい。

動画像のエッジ部分で画像パターンの変化が大きいことからその部分で特に書き込み不良が発生しやすいが、このように動画像のエッジ部分に着目して補正処理を施すことにより、動画像のエッジ部分での書き込み不良を抑えることができる。

ここで、前記動画像のエッジ部分が、前記サブフィールド毎の表示情報の書き込みを行う方向とは逆方向に移動する部分とすることが望ましい。

動画像の中でもサブフィールド毎の表示情報の書き込みを行う方向とは逆方向に移動するもので書き込み不良が発生しやすい。これは、活性化が不十分な

領域に画像が移動することになるからである。従って、本発明のように、サブフィールド毎の表示情報の書き込みを行う方向とは逆方向に移動する動画像のエッジ部分に着目して補正処理を施すことにより、書き込み方向とは反対方向に移動する動画像部分において書き込み不良を抑えることができる。

- 5      ここで、前記j番目の画素に書き込む表示情報に対応する画像信号を補正する手段によって、第i走査ラインに先行するラインで補正される発光量は、前記第i走査ラインの発光量の $1/2$ 以下であることが望ましい。

- j番目の画素に書き込む表示情報に対応する画像信号を補正する場合に、補正後の画素の発光量が余りに大きいと画像のエッジがなまったり、視覚的な影響が大となるので、j番目の表示画素に書き込む情報補正は、このことに配慮して行うのが望ましい。本発明では、第i走査ラインに先行するラインで補正される発光量を、前記第i走査ラインの発光量の $1/2$ 以下とすることによりこのことを実現している。
- 10

- ここで、前記j番目の画素に書き込む表示情報に対応する画像信号を補正する手段は、前記複数のサブフィールドのうち輝度重みが小であるものから優先して選択したサブフィールドにおける表示情報の書き込み頻度を増加させることを特徴とする。
- 15

- j番目の画素に書き込む表示情報に対応する画像信号を補正する場合に、補正後の画素の発光量が余りに大きいと画像のエッジがなまったり、視覚的な影響が大となるので、j番目の表示画素に書き込む情報補正は、このことに配慮して行うのが望ましい。本発明では、複数のサブフィールドのうち輝度重みが小であるものから優先して選択したサブフィールドにおける表示情報の書き込み頻度を増加させるようにすることによりこのことを実現している。
- 20

- ここで、前記j番目の画素に書き込む表示情報に対応する画像信号を補正する手段は、表示しようとする画像内輝度変化が大きい部分は、前記表示しようとする画像内輝度変化が小さい部分よりも大きく補正することが望ましい。
- 25

        これにより、画像の面内輝度に対応して適切に先行するラインでの補正処理を行うことができる。

        ここで、前記j番目の画素に書き込む表示情報に対応する画像信号を補正



する手段は、複数ライン相当の画像信号を格納するラインメモリと、前記ラインメモリに格納された複数ラインの画素信号を読み出し比較することで書き込みに影響のある所定の画像パターンを検出する画像パターン検出部と、画像パターン検出部の結果に基づいて画素信号を補正して表示装置に出力する変換部とを含むものとすることができる。

ここで、前記j番目の画素に書き込む表示情報の元となる画像信号を補正する手段は、1フィールドの画像信号を格納するフィールドメモリと、複数ライン相当の画像信号を格納するラインメモリと、前記ラインメモリに格納された複数ラインの画素信号を読み出し比較することで書き込みに影響のある所定の画像パターンかどうかを検出する画像パターン検出部と、前記フィールドメモリに格納された画素信号を読み出し、1フィールド遅延された画像信号と現在入力されてくる画像信号とから、画像の動きがある部分を検出する動き検出部と、前記画像パターン検出部及び動き検出部の検出結果に基づいて画素信号を補正して表示装置に出力する変換部とを含むものとすることができる。

15

#### 図面の簡単な説明

図1;本発明の実施の形態1における画像表示装置に用いられる信号処理装置の処理フローチャート。

図2;本発明の実施の形態1における画像表示装置に用いられる信号処理装置のブロック図。

図3;本発明の実施の形態1におけるパターン検出部の動作説明図。

図4;本発明の実施の形態1における判定部の動作説明図。

図5;本発明の実施の形態1における変換テーブルの動作説明図。

図6;書き込み誤動作が発生しやすいパターン例。

図7;本発明の実施の形態1における静止画部分表示パターン補正例。

図8;本発明の実施の形態1における動画部分表示パターン補正例。

図9;静止画パターン例。

図10;動画パターン例。

図11;静止画の補正領域を示す図。

図12;動画の補正領域を示す図。

図13;本発明の実施の形態2における画像表示パターン補正例。

図14;本発明の実施の形態3における画像表示パターン補正例。

図15;書き込み誤動作が発生しやすいパターン例。

5 図16;本発明の実施の形態4における画像表示パターン補正例。

図17;本発明の実施の形態4における画像表示パターン補正例。

図18;本発明の実施の形態5における画像表示装置に用いられる信号処理装置のブロック図。

## 10 発明を実施するための最良の形態

### (実施の形態1)

図1は、本発明の第1の実施の形態の画像表示装置に用いられる信号処理装置の処理フローチャート例を示す。図1にしたがって処理の流れを説明する。

15 本実施の形態に係る画像表示装置としては、フロントパネルと、バックパネルとが隔壁を介在させて対向してなり、同一水平ラインの画素がこの隔壁で仕切られ同一列の画素が空間的に連通したパネルを有するプラズマディスプレイ装置が好ましい。このプラズマディスプレイ装置のパネルでは、同じ水平ライン上に位置する画素毎に表示情報が書き込まれ、かかる書き込み動作が水平ライン単位に走査され、全画素に対して表示情報が書き込まれることになる。

20 表示信号の補正はライン毎に行い、補正処理は最初に走査される先頭ライン(Line=0すなわち、第1ライン(i=1))より開始する(S1)。なお、この補正の順序は単純に画面の上から下に行うとは限らず、表示情報の書き込み動作の走査順に行う。たとえば表示情報の書き込みが飛び越し走査によって行われている際は、それに応じた順序にて、先行するラインの判定や補正処理行うライン  
25 の決定が行われる。

ある画素での書き込み回数が3回以上あり(判断1;S4)、かつ、その画素に先行する5ラインでの各々の書き込み回数が2回以下(判断2;S5)の場合、すなわちある値以上の発光がある画素に先行して5ライン以上にわたって書き込みが少ないラインが連続するような場合を、これら先行する5ライン間の画素を信

号補正の対象とする。なお、このフローチャートによれば、5ラインまで(すなわち、 $i=5$ )は、S2～S5の動作が繰り返され、補正が行われないこととなるが、別途補正を行っても構わない。ここで、現ラインに対して先行するラインが存在すればよいので、 $i$ は少なくとも2以上の整数であればよい。

- 5 信号補正の対象になった画素に対して、さらに前フィールドとの画像の動きを検出(判断3;S6)し、動き部分でないと判定された部分に対しては最大1回の書き込み回数増加となる補正(処理1;S7)を行い、動き部分であると判定された部分に対しては最大2回の書き込み回数増加となる補正(処理2;S8)を行う。補正対象ラインがなくなったところで補正処理を終了する。
- 10 このようにして、補正された画素データを含む画像信号は、サブフィールドごとの表示情報に分割され、フィールド内時分割諧調表示方式によってプラズマディスプレイ装置のパネル上に画像として表示される。

図2は、本発明の第1の実施の形態の画像表示装置に用いられ、上記処理を実行する信号処理装置のブロック図の一例を示す。1は入力信号、2はフィールドメモリ、31～35はラインメモリ、41は動き検出部、42はパターン検出部、43はラインメモリ、44は判定部、45は変換テーブル、46は出力信号である。

- 15 なお、出力信号46にしたがって、信号処理装置の出力下流に備えられたプラズマディスプレイなどのディスプレイ(図示せず)上の表示画素に対して、上記したような時分割諧調表示方法によって、諧調表示がなされる。ここでは、入力
- 20 信号が6ビットデジタル信号であるものとし、入力信号の1フィールド相当を6つのサブフィールドの表示情報に分割し、それぞれのサブフィールドの輝度重みを「1」、「2」、「4」、「8」、「16」、「32」として64諧調を表示する。ここで、画素毎への表示情報の書き込みの手法としては、一般に、表示画素に選択的に書き込み放電を行わせて壁電荷を蓄える手法や、予め全画素に壁電荷を蓄えてお
- 25 き、非表示の画素で選択的に微弱な放電を行わせて壁電荷を失わせ表示画素に壁電荷を残存させる手法が知られるが(後者については、特開平7-287549号公報)、本実施形態はその何れをも適用することが可能であり、書き込みの手法は特に限定されるものではない。以下の説明は表示画素に選択的に書き込み放電を行わせて壁電荷を蓄える手法を採用したプラズマディスプレイ装

置について例示する。

以上のように構成された画像表示装置に用いられる信号処理装置について、以下その動作を各部の構成の説明とも併せて説明する。なお、以下の動作は1画素データづつ入力・出力が行われて実行される点は従来

5 一般的な回路構成と同様である。

入力信号1は、例えば、入力アナログ信号をA/D変換したデジタル値であり、各画素に書き込まれる表示情報の元となる1フィールドの画像信号である。そして、この信号は、フィールドメモリ2に供給され1フィールド遅延された後、ラインメモリ群31～35の先頭のライン

10 メモリ31に入力されるとともに、動き検出回路41に供給される。

動き検出回路41は、入力された信号(h)と、1フィールド遅延された信号(f)との2つの信号から、画像の動きがある部分を検出する。またフィールドメモリ2の出力(信号f)と5つのラインメモリの出力(信号a、b、c、d、e)から、各画素のライン配列方向について、補正すべきパターンの存在をパターン検出回路42

15 にて検出する。このパターン検出は表示データの書き込み回数に相当する値の比較、例えば図3に示す方法にて行うことができる。図3は現ライン(a)を基準とした後続5ラインのデータおよび1ライン前の状態とを基に、現ラインの画素が補正すべきデータパターンであるかどうかを判定するための制御の一例である。なお、パターンの判定は、異なるラインにおいて各ライン上の同じ位置の画素につ

20 いて比較して行う。画素の書き込みに同じ列の画素の影響がもっとも大きいことからである。

図3によると、現ラインを含めて5ラインでの書き込み回数が少なく(3回未満)、かつ5ライン後での発光輝度が高い( $L(\text{輝度}) \geq th(\text{閾値})$ )か書き込み回数が多いときは、無補正の場合には5ライン後での書き込み動作不良による発光動作不良が懸念されるため、現ラインに補正を施すための信号、[Q=1]を出力

25 する。以下、なお続く4ラインにも同様の補正処理を施す必要があるため、1ライン前での状態をラインメモリ43において記憶しておき、判定に用いることにより、補正が必要な画素を正しく検出することができる。現ラインでの書き込み回数が大きい(3回以上)場合には後続ラインへの補正の必要がない。また、後続ライ

ンの最先のラインにも書き込み回数の多い画素がある画素についても同様に現ライン時点での補正の必要はないのは無論である。

図4は、判定部44の動作を示す図であり、PおよびQの値に従って変換テーブル制御信号Rを決定する。具体的には図のように、対象補正である画素に対してはさらに動きのあり・なしに応じて変換テーブル制御信号Rを選択する。ここで、「動きのある・なし」とは、入力された信号(h)と1フィールド遅延された信号(f)との輝度の差分の絶対値が所定値を超えるか否かで判定される。

図5(a)および図5(b)は変換テーブル45の動作例を説明する図であり、変換テーブル制御信号Rの値に応じて入力データを変換する。なお、この図において、最左縦欄は入力信号の値を最左縦欄は変換した場合の出力信号の値を示す。

そして、 $R=0$ のときは変換動作は行われず、 $R=1$ のときは図5(a)に示すように書き込み回数の増加が最大1回となるような補正を行い(追加されて書き込まれることとなるサブフィールドを白丸で示す)、 $R=2$ のときは図5(b)に示すように、書き込み回数の増加が最大2回となるような補正を行うこととなる(追加されて書き込まれることとなるサブフィールドを白丸で示す)。

このように、本実施の形態によれば、所定の輝度の発光がなされる画素に先行して複数ラインの間連続して書き込み回数の少ない画素がライン配列方向に存在する場合、発光ラインに先行する複数ラインに書き込み回数を増加させるような信号補正を行って、書き込み誤動作を抑制することができる。またフィールド間で動きがある場合と動きがない場合とにより補正量を変化させることで、被写体の動きに沿って視線が追従する場合などのように、書き込み誤動作が検知されやすい動き画像での誤動作をさらに抑制することができる。

図6に書き込み誤動作が検知されやすい表示パターンの例を示す(この図において、テーブルの最左欄は各ラインの同一位置の画素における画素データの値を示し、その横欄はサブフィールドにおける点灯・非点灯の状態(表示情報)を示す、そして、図は、輝度値を示す。以下の図7、8、13、14、15、16、17等においても同様。)。前述した動作によって、図6のような表示パターンは図7のように変換される。すなわち、輝度レベル63での発光がなされる[i]ライン目

に先行する5ラインでの発光がないパターンに対して、[i]ライン目での書き込み誤動作を抑制するために、先行する5ラインで輝度[1]の発光に相当する書き込み動作を意図的に起こすものである。なお、[i]ライン目での輝度「63」に対して先行するラインでの輝度「1」の発光はわずかであり、画質に対する影響は少なく抑えることができる。

ここで、[i]ライン目の信号が1フィールド前には輝度がほぼ「0」であり、当該フィールドでは高輝度の表示が行われるとすると、さらに書き込み誤動作が発生または検知されやすい。画像の動き部分などはこれに相当するので、この場合は表示パターンを図8のようにして、先行するライン位置での書き込み回数の増加をさらに大きくすることができる。

以上の動き検出部41およびパターン検出部42による処理を図9～図12を用いて改めて説明する。図9は周囲に比べて輝度の高い矩形状の物体が制止している画像（静止画）の例である。図10は矩形状の物体が画面上斜め上方に、A→Bに示すように移動している画像の例である。

図9のような静止画では、物体の矩形の上エッジのみで書き込み誤動作が起こりやすい。これは書き込み動作が行われる先頭位置では先行書き込みによる画素の活性化が十分ではないことによると考えられる。パターン検出部42によって図11に斜線枠示す部分を選択することができ、この部分での書き込み回数を増加させることによって書き込み誤動作を抑制することができる。

図11のように物体移動している画像（動画像）では特に書き込み走査方向と逆方向に動く物体の前エッジ部分で先行した書き込みによる画素活性化の恩恵を受けることがないために、特に書き込み誤動作が発生しやすい。この部分をパターン検出部42および動き検出部41により図12に斜線を施した部分として検出することができる。図12の斜線部分は、図11の斜線部分に比較して、より書き込み回数を増やすなどの補正を行うことによって効果的に書き込み誤動作を抑制することができる。

（実施の形態2）

図13に、第2の実施の形態として、補正を施すラインを少なく「1ライン」とした例を示す。このような処理では補正可能範囲が狭いため、表示素子に対する要

求はより厳しいものとなるが、パターン検出部42や従属接続したラインメモリ31～35部分などを簡略化することが可能であり、また補正に伴う信号変化も狭い範囲にとどめることができる。

(実施の形態3)

- 5 図14に、第3の実施の形態として、補正を施す量を連続的に変化させた例を示す。つまり、図14に示すように、 $i-1$ ライン以前の5ラインに対して書き込み回数が5回、4回、3回、2回、1回となるように入力画像信号が補正される。

このような処理ではエッジ部分の輝度変化率が抑えられるとともに、書き込み回数のライン方向の急激な変化が抑制され、書き込み誤動作の発生を十分抑  
10 制することができる。

(実施の形態4)

- 図15は、図6と異なり、複数ラインの無発光ラインのあと輝度「31」の発光を表示する表示パターンである。図16と図17は第4実施の形態の動作を示す図であり、図6のような画像の画面内変化の大きい部分に対しては補正後の表示パターンを図16のようにより補正量を多くし(書き込み回数を多くする)、図15の  
15 ような画像の画面内変化の比較的小さい部分に対しては補正後の表示パターンを図17のようにより補正量を比較的狭い範囲にしている(書き込み回数を少なくする)。輝度変化が大きい部分では一般的に書き込み回数の変化が大きく、したがって書き込み誤動作が発生しやすいうえに、書き込み誤動作がより検知  
20 されやすいという特徴を有しているので、補正を行う範囲をより広くすることで書き込み誤動作を低減しようとするものである。

(実施の形態5)

- 図18に、第5の実施の形態を示す。101は入力信号、102はフィールドメモリ、131～135はラインメモリ、106加算回路、1  
25 41は動き検出部、142はパターン検出回路、143はラインメモリ、144は係数決定回路、151～156は係数回路である。

図18では実施の形態1と同様、現ラインの信号(a)および先行する各ライン(b～f)および(f)に1フィールド先行する信号(h)を用いて動き検出(出力はP')およびパターン検出(出力はQ')を行

う。

このような構成を用いて、現ラインの信号（a）に対し、先行する各ライン（b～f）および（f）に1フィールド先行する信号（h）のパターンを検出し、（a）～（h）の信号パターンに応じて入力信号101を（a）～（h）の各信号を重みをつけて加算することで、実施の形態1～4に示した補正と同様の動作を行わせることができる。また、ラインメモリ143は、1ライン前までの動作状態の記憶を行い、補正動作が正しく連続して行われるようにしている点は、第1実施の形態と同様である。

10     なお、同じ名称の要素は、同じ処理を行うことになるが、係数決定回路144は、上記判定部44に対応して、画像パターンに対応して係数回路151～156の動作を制御する制御信号を決定・出力する。係数決定回路144の出力（R'）は複数ビットの信号として、係数回路151～156のそれぞれを独立に制御可能とする。係数回路151～156は上記変換テーブルに対応した処理を係数を用いた演算処理により行う。

図18のような構成を用いると、ラインメモリ131～135、係数回路151～156、および加算回路105は各ライン毎に重みを付けて加算する、いわゆるFIRフィルタを構成するため、本実施の形態の構成を用いて、本発明による書き込み誤動作抑制信号処理とともに、輪郭補正などの信号処理を並行して行わせることができる。

（変形例）

25     以上の説明では動画での補正範囲を高々5ラインとして説明したが、その他のライン数の場合についても同様に実施可能である。また、書き込みミスの発生し易いパターンは実施例にて用いたパターンに限定されるものではなく、請求項にて示される種々のパターンに対して適応可能なことは言うまでもない。

また、上記説明では、画素毎への表示情報の書き込みの手法として、表示画素に選択的に書き込み放電を行わせて壁電荷を蓄える手法を採用する表示装置を例に挙げて説明したが、本発明はこれに限定されないのは言うまでもなく、



予め全画素に壁電荷を蓄えておき、非表示の画素で選択的に微弱な放電を行わせて壁電荷を失わせ表示画素に壁電荷を残存させる書き込み手法を採用する場合においても同様に適用可能である。この場合、信号処理としては同一で、書き込み回数を増加させる補正に対応して、先行して書き込みを行うラインの消去頻度を増加させる補正を行うことになる。そして、このような処理によって、現行ラインの活性化が促されることから、現行ラインでの消去不良を抑制することができる。

消去放電を行わせて表示情報を書き込む場合、書き込み不良が生じる画像パターンは、図6に示すようなパターンが上下反転したもので顕著である。画素データが最大値(「63」)では、消去回数がゼロであるのに対して、画素データが最小値(「0」)では、消去回数が6回と最大であることから、先行するラインの活性化の恩恵を受けることがないため画素データが最小値(「0」)の画素において活性化が図られにくいからである。

そこで、先行するラインにおいて表示輝度を下げるように画素データを補正することで、消去回数を増やすことができ、先行するラインで順次画素を活性化し、画素データが最小値(「0」)の現行ラインの画素において活性化を図ることができる。その他、各実施形態において、かかる書き込み方法を実施する場合、消去回数の程度の制御の仕方は、全く同様の考え方となる。

つまり、静止画の場合には、同一列に位置する画素において、消去回数を1回増すようにiラインに先行する5ラインの画像信号を補正し、動画の場合には、同一列に位置する画素において、消去回数を2回増すようにiラインに先行する5ラインの画像信号を補正する。

実施形態2に適用する場合には、消去する回数を増やすラインを1ライン(i-1ライン)に限定する。

実施形態3に適用する場合には、i-1ライン以前の5ラインに対して消去回数が5回、4回、3回、2回、1回となるように画像信号が補正される。

実施形態4に適用する場合には、画像の画面内変化の大きい部分に対しては補正後の表示パターンを補正量を多くし(消去回数を多くする)、画像の画面内変化の比較的小さい部分に対しては補正量を比較的小さい範囲(消去回

数を少なくする)にする。

- 5 以上説明してきたように、上記した実施の形態によれば、発光情報の書き込みミスが目立ちやすい部分を検出して、このような部分で発光情報の書き込み頻度を高めることにより、画素を形成する部分の活性度を高めて情報書き込みの確度を高めることができる。また、当該部分の発光量を増加させることによっても、等価的に画素を形成する部分の活性度を高めて、同様に情報書き込みの確度を高めることができる。

- 10 また、特に輝度重みの小さいサブフィールドの発光頻度を高めることにより、輝度が比較的低い部分でも表示画質への影響を抑制しつつ、書き込みミスの発生し易い部分での発光情報の書き込み頻度を高めることができ、コントラストを犠牲にするなどの副作用を抑えて効果的に書き込みミスの発生確率を低くすることができる。

- 15 また、書き込みミス発生の可能性のある領域のうち、書き込みミスがより発生し易い動画部分での書き込み情報に対する補正を多くすることにより、静止画に対して適正な補正を行いながら、副作用なく動画像に対して十分な補正を行って書き込みミスを抑制した画像表示が可能になる。

また、発光情報の書き込みの走査にあわせて書き込み情報に補正を行うことで、効果的に書き込みミスを抑制した画像表示が可能になる。

- 20 また、書き込みミスの発生し易い部分または書き込みミスの検知されやすい部分を予め検出して書き込み信号を補正することにより、副作用を抑えて効果的に書き込みミスの発生確率を低くすることができる。特に情報書き込みの方向と画像の動きより判定して、後続する表示情報の書き込みに先行して予め情報を先行して補正的に書き込むことにより、後続の表示情報の書き込みを確実にすることができ、実質的な画質変化につながる副作用を伴わずに、効果的に画素  
25 を活性化して表示情報の書き込みを確実に行うことができる。

なお、本発明は、上記した実施の形態に限定されず、同様の作用・効果を奏するものであれば、本発明の技術的思想の範疇に含まれることは言うまでも無いことである。

例えば、各サブフィールドの輝度重み、判定に用いる書き込み回数や輝度閾

値など上記した場合に限定されるものではなく、種々の変形によっても同様の作用・効果を奏する。

#### 産業上の利用可能性

- 5 本発明の信号処理装置は、プラズマディスプレイなどの表示装置に対して、表示情報の書き込み動作を安定して行うことを可能とするので、高画質な画像表示を可能とする点で利用価値が極めて高い。

## 請求の範囲

1. 1 フィールドの画像信号を複数のサブフィールドの表示情報に分割し、各サブフィールドの表示情報を各画素に書き込むことにより、走査  
5 ライン単位で走査させて画像表示を行わせる信号処理装置において、  
第  $i$  走査ライン及び先行する走査ラインの  $j$  番目の画素に書き込むパターンに基づいて、1 フィールド内で前記第  $i$  走査ラインに先行して書き込みを行う少なくとも1ライン以上の走査ラインに属するラインの  $j$  番目の画素に書き込む表示情報に対応する画像信号を補正する手段を備  
10 える  
ことを特徴とする信号処理装置。
2. 1 フィールドの画像信号を複数のサブフィールドの表示情報に分割し、各サブフィールドの表示情報を各画素に書き込むことにより、走査  
15 ライン単位で走査させて画像表示を行わせる信号処理装置において、  
複数のフィールドにわたって第  $i$  走査ラインの  $j$  番目の画素に書き込むパターンに基づいて、1 フィールド内で前記第  $i$  走査ラインに先行して書き込みを行う少なくとも1ライン以上の走査ラインに属するラインの  $j$  番目の画素に書き込む表示情報に対応する画像信号を補正する手段を備える  
20 ことを特徴とする信号処理装置。
3. 前記  $j$  番目の画素に書き込む表示情報に対応する画像信号を補正する手段は、前記第  $i$  走査ラインに先行して画素を発光させる情報の書き込みを行う  
少なくとも1ライン以上の走査ラインに属するラインの  $j$  番目の表示画素を発光さ  
25 せる情報を書き込む頻度を増加させる  
ことを特徴とする請求の範囲第1項又は第2項に記載の信号処理装置。
4. 前記  $j$  番目の画素に書き込む表示情報に対応する画像信号を補正する手段は、前記第  $i$  走査ラインに先行して画素を発光させる情報の書き込みを行う

少なくとも1ライン以上の走査ラインに属するラインのj番目の表示画素を消去させる情報を書き込む頻度を増加させる

ことを特徴とする請求の範囲第1項又は第2項に記載の信号処理装置。

- 5 5. 前記画素を発光させる情報を書き込む頻度を増加する場合は、前記表示情報の書き込みがより先行して行われるラインほど前記書き込む頻度を増加する程度を少なくまたは同程度とする

ことを特徴とする請求の範囲第3項に記載の信号処理装置。

- 10 6. 前記画素を消去させる情報を書き込む頻度を増加する場合は、前記表示情報の書き込みがより先行して行われるラインほど前記書き込む頻度を増加する程度を少なくまたは同程度とする

ことを特徴とする請求の範囲第4項に記載の信号処理装置。

- 15 7. 前記第i走査ラインのj番目の表示画素が動画像のエッジ部分であることを特徴とする請求の範囲第2項に記載の信号処理装置。

8. 前記動画像のエッジ部分が、前記サブフィールド毎の表示情報の書き込みを行う方向とは逆方向に移動する部分である請求の範囲第7項に記載の信号  
20 処理装置。

9. 前記j番目の画素に書き込む表示情報に対応する画像信号を補正する手段によって、第i走査ラインに先行するラインで補正される発光量は、前記第i走査ラインの発光量の $1/2$ 以下である

- 25 ことを特徴とする請求の範囲第1項又は第2項に記載の信号処理装置。

10. 前記j番目の画素に書き込む表示情報に対応する画像信号を補正する手段は、前記複数のサブフィールドのうち輝度重みが小であるものから優先して選択したサブフィールドにおける表示情報の書き込み頻度を増加させる

ことを特徴とする請求の範囲第1項又は第2項に記載の信号処理装置。

11. 前記j番目の画素に書き込む表示情報に対応する画像信号を補正する手段は、表示しようとする画像内輝度変化が大きい部分は、前記表示しようとする  
5 画像内輝度変化が小さい部分よりも大きく補正する

ことを特徴とする請求の範囲第1項又は第2項に記載の信号処理装置。

12. 前記j番目の画素に書き込む表示情報に対応する画像信号を補正する手段は、複数ライン相当の画像信号を格納するラインメモリと、  
10 前記ラインメモリに格納された複数ラインの画素信号を読み出し比較することで書き込みに影響のある所定の画像パターンを検出する画像パターン検出部と、  
画像パターン検出部の結果に基づいて画素信号を補正して表示装置に出力する変換部と

を含むことを特徴とする請求の範囲第1項に記載の信号処理装置。

15

13. 前記j番目の画素に書き込む表示情報に対応する画像信号を補正する手段は、1フィールドの画像信号を格納するフィールドメモリと、  
複数ライン相当の画像信号を格納するラインメモリと、  
前記ラインメモリに格納された複数ラインの画素信号を読み出し比較することで  
20 書き込みに影響のある所定の画像パターンかどうかを検出する画像パターン検出部と、

前記フィールドメモリに格納された画素信号を読み出し、1フィールド遅延された画像信号と現在入力されてくる画像信号とから、画像の動きがある部分を検出する動き検出部と、

- 25 前記画像パターン検出部及び動き検出部の検出結果に基づいて画素信号を補正して表示装置に出力する変換部と

を含むことを特徴とする請求の範囲第2項に記載の信号処理装置。

図1

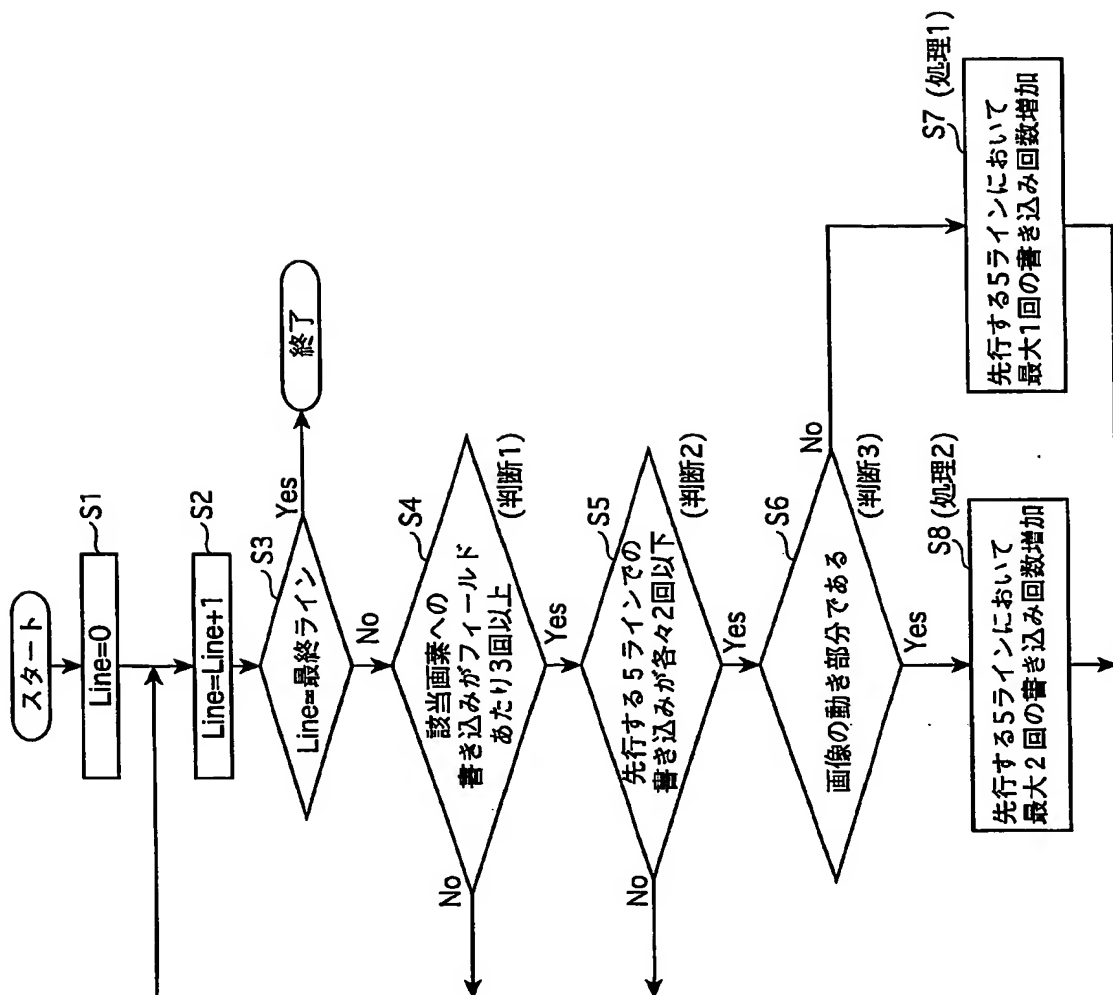


図2

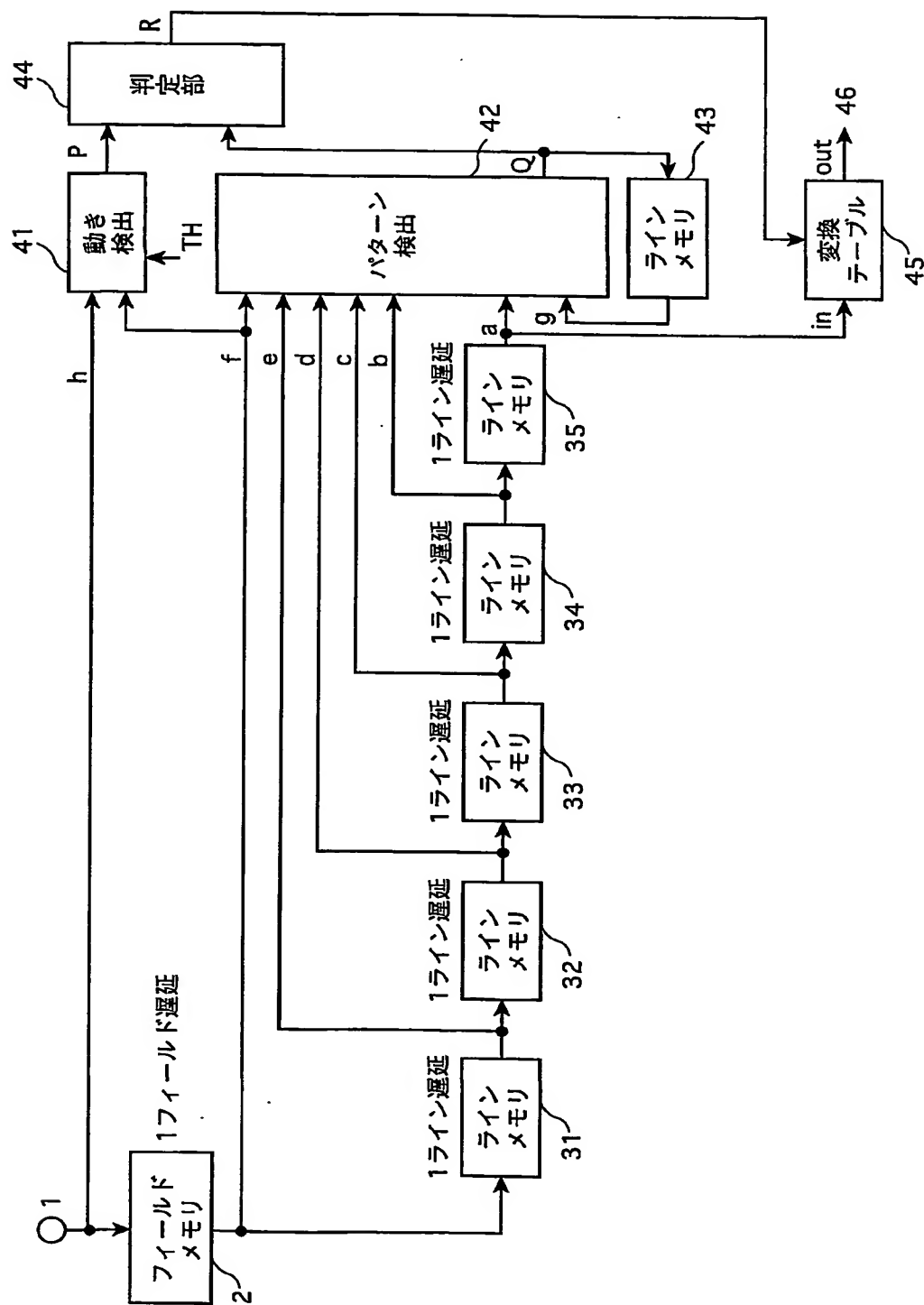




図3

## パターン検出の動作

現ラインの信号 a	1ライン後の信号 b	2ライン後の信号 c	3ライン後の信号 d	4ライン後の信号 e	5ライン後の信号 f	1ライン前の状態 g	Q
$N < 3$	$N < 3$	$N < 3$	$N < 3$	$N < 3$	$N < 3$	X	0
$N < 3$	$N < 3$	$N < 3$	$N < 3$	$N < 3$	$N \geq 3 \text{ or } L \geq th$	X	1
$N < 3$	$N < 3$	$N < 3$	$N < 3$	$N \geq 3$	X	X	1
$N < 3$	$N < 3$	$N < 3$	$N \geq 3$	X	X	X	1
$N < 3$	$N < 3$	$N \geq 3$	X	X	X	X	1
$N < 3$	$N \geq 3$	X	X	X	X	X	1
$N \geq 3$	X	X	X	X	X	X	0
その他の組み合わせ							
							0

図4

判定部の動作

	P=0 動きなし	P=1 動きあり
Q=0	R=0	R=0
Q=1	R=1	R=2

図5

◆R=0のときは、in=out  
◆R=1のとき

	in					out				
	SF1	SF2	SF3	SF4	SF5	SF1	SF2	SF3	SF4	SF5
0										1
1	●					○				1
2		●					○			3
3	●	●				●	●			3
4			●			○				5
5	●	●	●			●	●			5
6	●	●	●	●		○	●			7
7	●	●	●	●	●	●	●	●		7
8				●		○				9
9	●			●		●	○			11
10		●		●		○	●			11
11	●	●		●		●	●			11
12			●	●		○	○			13
13	●	●	●	●		●	●	●		13
14		●	●	●		○	●	●		15
15	●	●	●	●	●	●	●	●		15
16				●		○	○			17
17	●			●		●	○			19
18		●		●		○	○			19
19	●	●		●		●	●			19
20			●	●		○	○			21
21	●	●	●	●		●	○	●		23
22	●	●	●	●	●	○	●	●		23
23	●	●	●	●	●	●	●	●		23

(a)

◆R=2のとき

	in					out				
	SF1	SF2	SF3	SF4	SF5	SF1	SF2	SF3	SF4	SF5
0						○	○			3
1	●					●	○			3
2		●				○	●			3
3	●	●				●	●			3
4			●			○	○			7
5	●	●	●			●	○			7
6	●	●	●	●		○	●			7
7	●	●	●	●	●	●	●	●		7
8				●		○	○			11
9	●			●		●	○			11
10		●		●		○	○			11
11	●	●		●		●	●			11
12			●	●		○	○			15
13	●	●	●	●		○	○	○		15
14		●	●	●		○	○	○		15
15	●	●	●	●	●	●	○	○		15
16				●		○	○			19
17	●			●		●	○			19
18		●		●		○	○			19
19	●	●		●		●	○			19
20			●	●		○	○			23
21	●	●	●	●		○	○	○		23
22	●	●	●	●	●	○	○	○		23
23	●	●	●	●	●	○	○	○		23

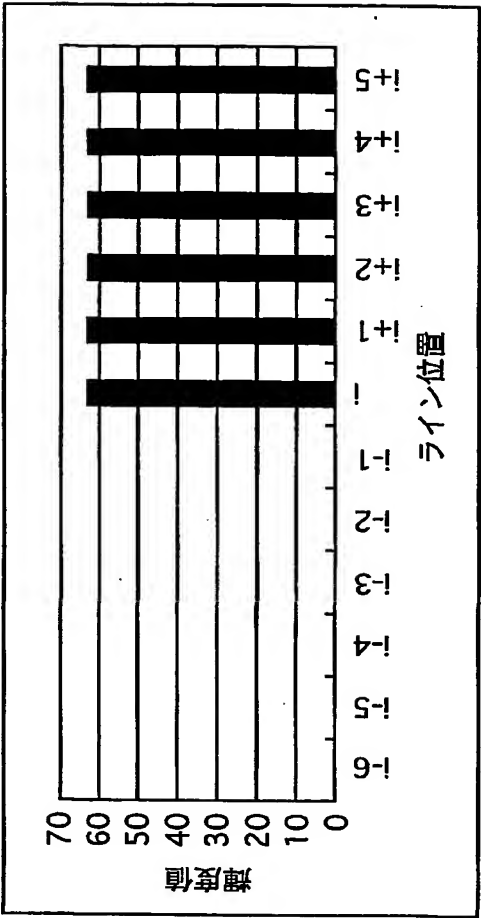
(b)

●、○ :書き込みがなされるサブフィールド  
○は追加して書き込まれるサブフィールド

(低輝度を除き、2SF以上のONを確保)  
(低輝度を除き、3SF以上のONを確保)

図6

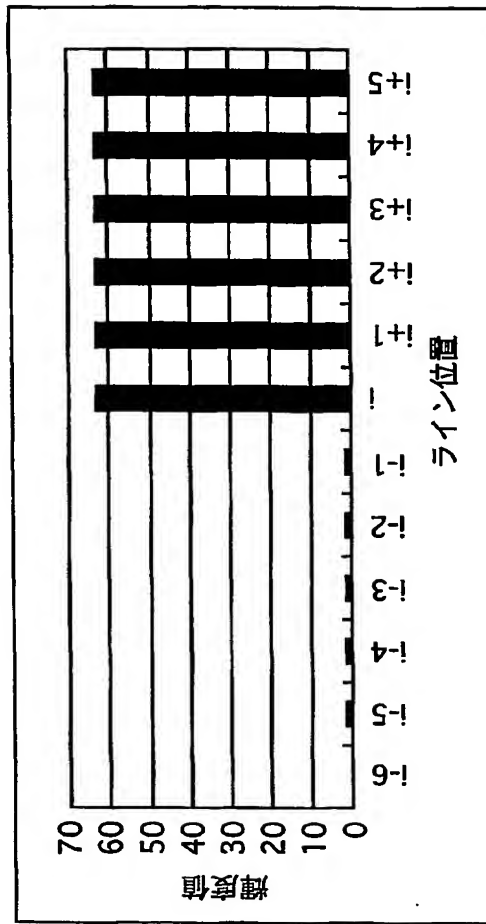
表示パターン例



ライン	1	2	4	8	16	32
i-6	0					
i-5	0					
i-4	0					
i-3	0					
i-2	0					
i-1	0					
i	63	1	1	1	1	1
i+1	63	1	1	1	1	1
i+2	63	1	1	1	1	1
i+3	63	1	1	1	1	1
i+4	63	1	1	1	1	1
i+5	63	1	1	1	1	1

図7

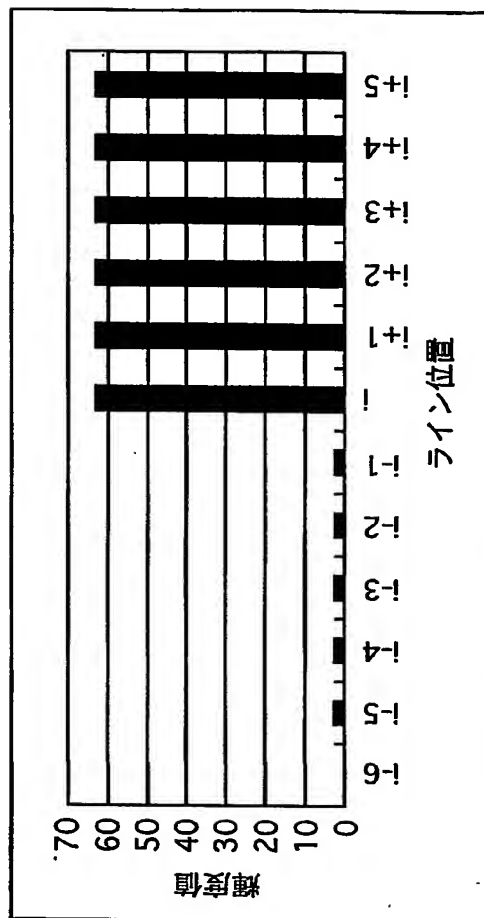
表示パターン補正例



ライン	1	2	4	8	16	32
i-6						
i-5	1					
i-4	1					
i-3	1					
i-2	1					
i-1	1					
i	63	1	1	1	1	1
i+1	63	1	1	1	1	1
i+2	63	1	1	1	1	1
i+3	63	1	1	1	1	1
i+4	63	1	1	1	1	1
i+5	63	1	1	1	1	1

図8

表示パターン補正例



ライン	1	2	4	8	16	32
i-6	0					
i-5	3	1				
i-4	3	1				
i-3	3	1				
i-2	3	1				
i-1	3	1				
i	63	1	1	1	1	1
i+1	63	1	1	1	1	1
i+2	63	1	1	1	1	1
i+3	63	1	1	1	1	1
i+4	63	1	1	1	1	1
i+5	63	1	1	1	1	1

図9

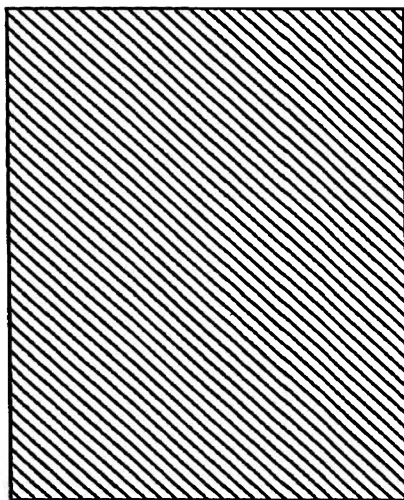


図10

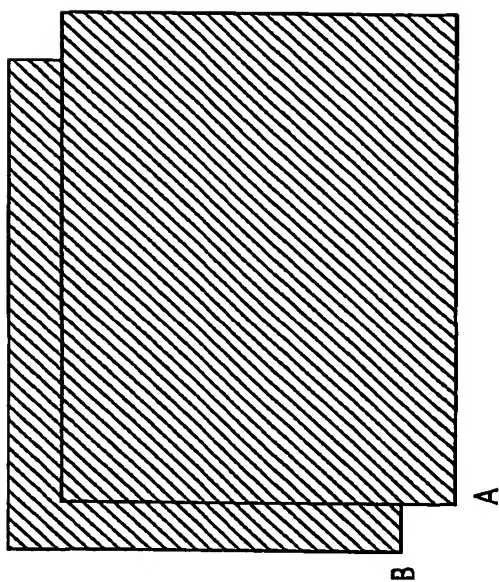




図11

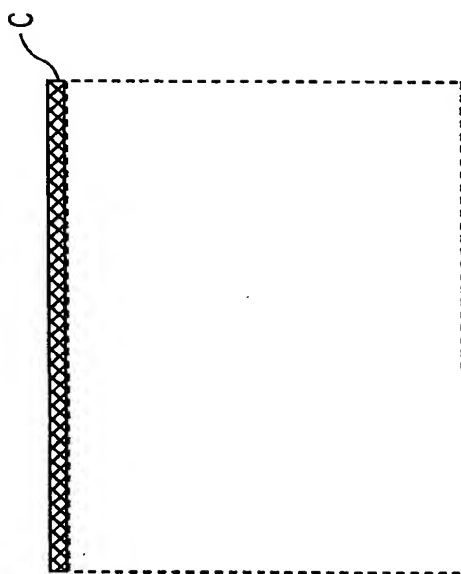


図12

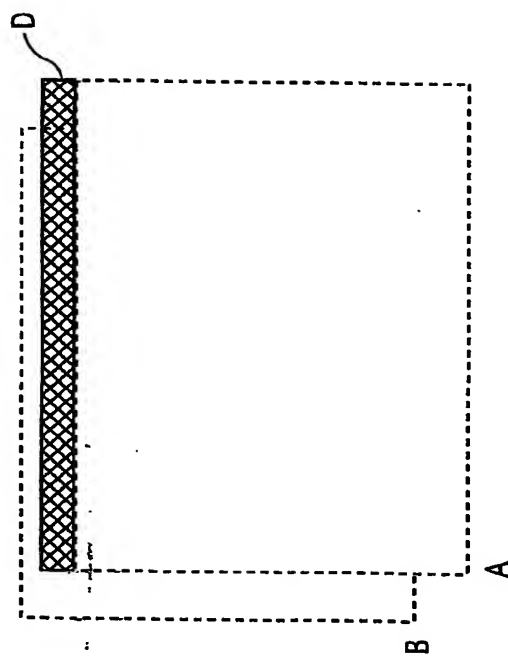
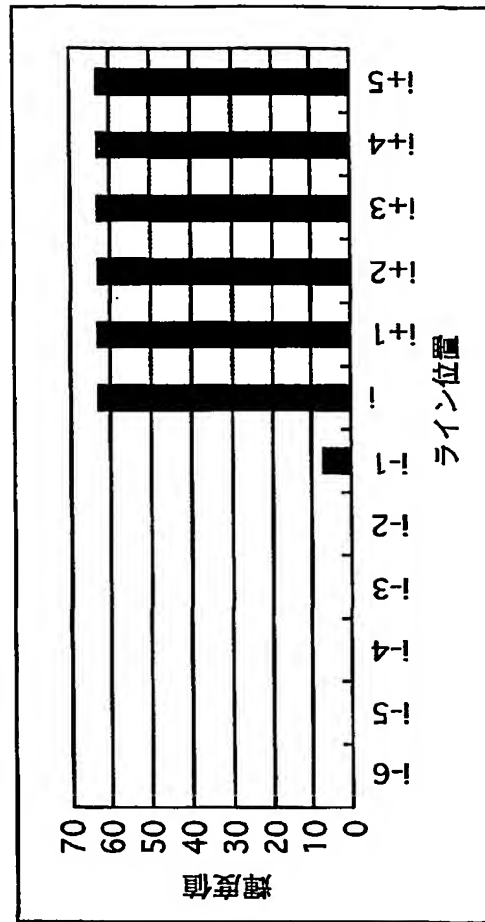


図13

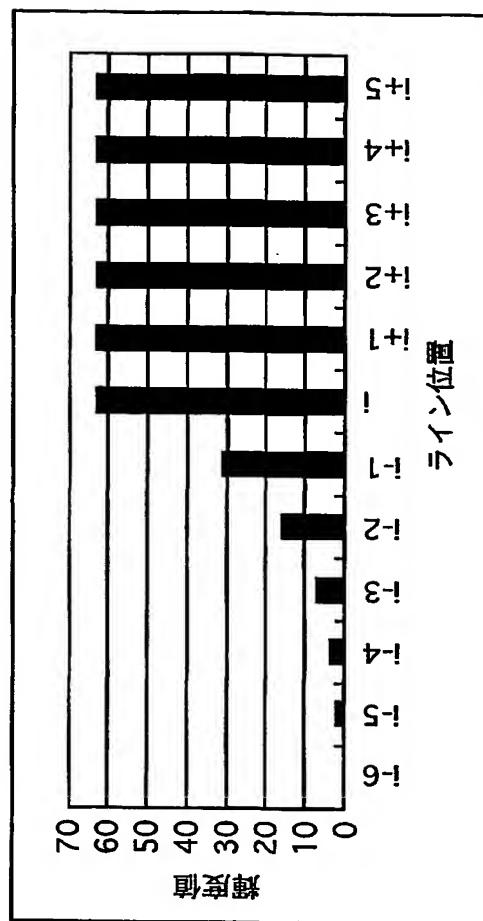
表示パターン補正例



ライン	1	2	4	8	16	32
i-6	0					
i-5	0					
i-4	0					
i-3	0					
i-2	0					
i-1	7	1	1			
i	63	1	1	1	1	1
i+1	63	1	1	1	1	1
i+2	63	1	1	1	1	1
i+3	63	1	1	1	1	1
i+4	63	1	1	1	1	1
i+5	63	1	1	1	1	1

図14

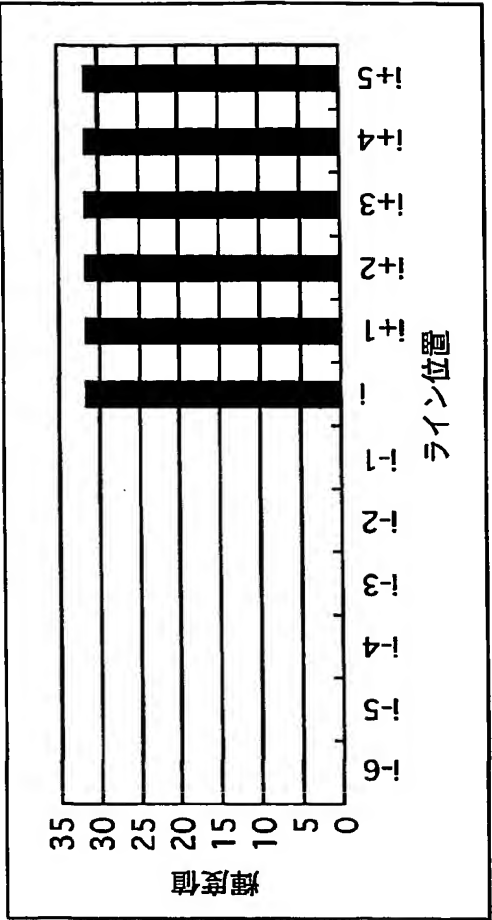
表示パターン補正例



ライン	1	2	4	8	16	32
i-6	0					
i-5	1					
i-4	3	1				
i-3	7	1	1			
i-2	15	1	1	1		
i-1	31	1	1	1	1	
i	63	1	1	1	1	1
i+1	63	1	1	1	1	1
i+2	63	1	1	1	1	1
i+3	63	1	1	1	1	1
i+4	63	1	1	1	1	1
i+5	63	1	1	1	1	1

図15

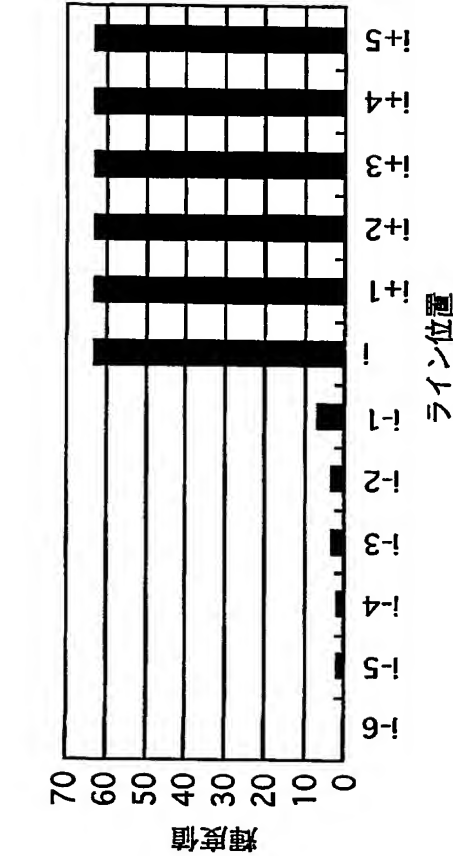
表示パターン例



ライン	1	2	4	8	16	32
i-6	0					
i-5	0					
i-4	0					
i-3	0					
i-2	0					
i-1	0					
i	31	1	1	1	1	1
i+1	31	1	1	1	1	1
i+2	31	1	1	1	1	1
i+3	31	1	1	1	1	1
i+4	31	1	1	1	1	1
i+5	31	1	1	1	1	1

図16

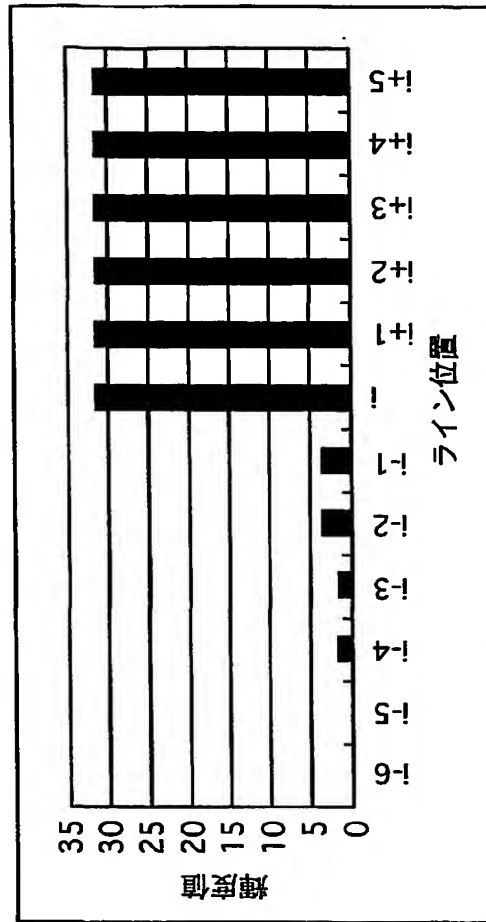
表示パターン補正例



ライン	1	2	4	8	16	32
i-6	0					
i-5	1					
i-4	1					
i-3	3	1				
i-2	3	1				
i-1	7	1	1			
i	63	1	1	1	1	1
i+1	63	1	1	1	1	1
i+2	63	1	1	1	1	1
i+3	63	1	1	1	1	1
i+4	63	1	1	1	1	1
i+5	63	1	1	1	1	1

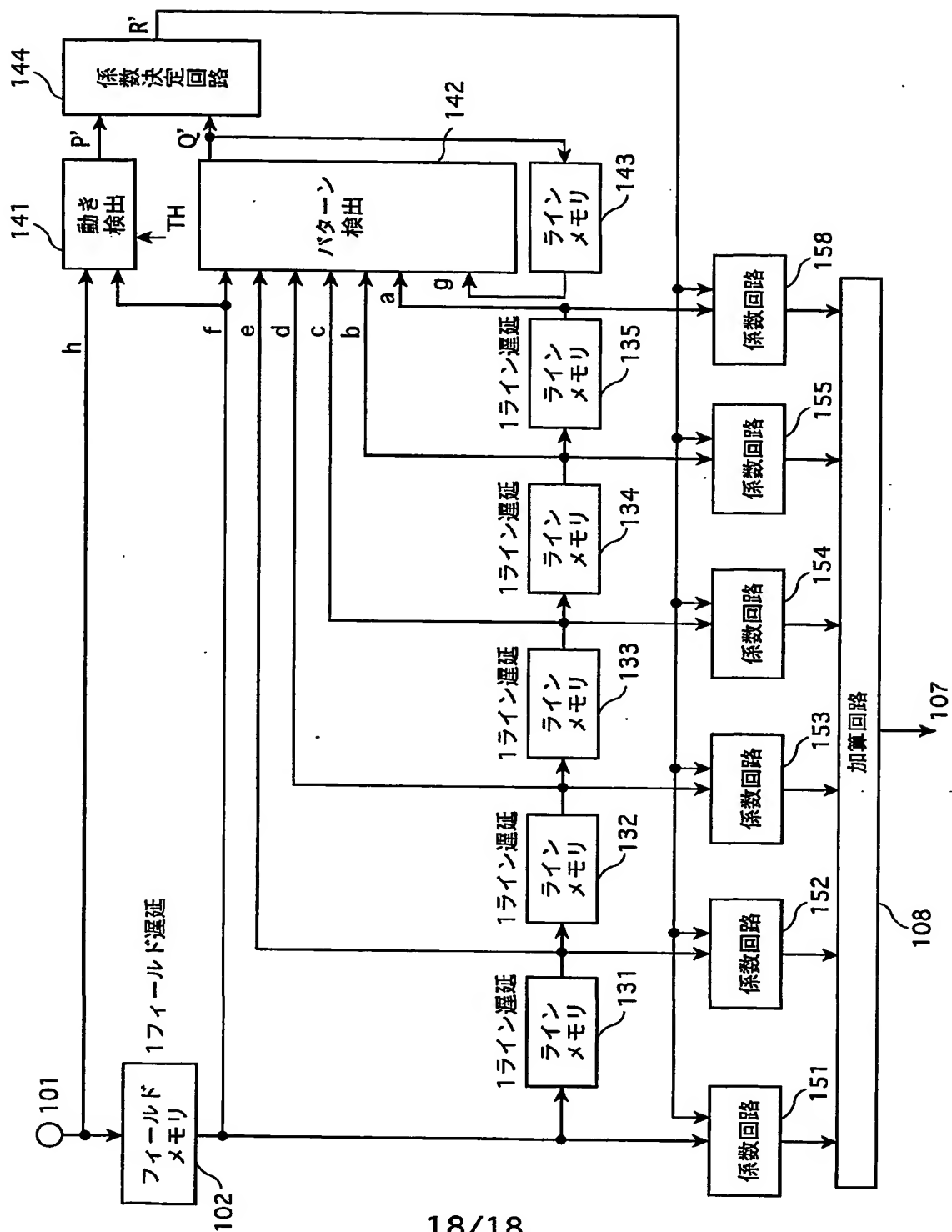
図17

表示パターン補正例



ライン	1	2	4	8	16	32
i-6	0					
i-5	0					
i-4	1	1				
i-3	1	1				
i-2	3	1	1			
i-1	3	1	1			
i	31	1	1	1	1	1
i+1	31	1	1	1	1	1
i+2	31	1	1	1	1	1
i+3	31	1	1	1	1	1
i+4	31	1	1	1	1	1
i+5	31	1	1	1	1	1

图18





# INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP02/00488

## A. CLASSIFICATION OF SUBJECT MATTER

Int.Cl<sup>7</sup> G09G3/20, G09G3/28, H04N5/66

According to International Patent Classification (IPC) or to both national classification and IPC

## B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl<sup>7</sup> G09G3/20, G09G3/28, H04N5/66

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1926-1996	Toroku Jitsuyo Shinan Koho	1994-2002
Kokai Jitsuyo Shinan Koho	1971-2002	Jitsuyo Shinan Toroku Koho	1996-2002

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

## C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	JP 8-130696 A (Matsushita Electric Industrial Co., Ltd.), 21 May, 1996 (21.05.96), Par. Nos. [0014] to [0017]; Figs. 1, 2, 3 (Family: none)	1-7,9-11
X	JP 10-39830 A (Matsushita Electric Industrial Co., Ltd.), 13 February, 1998 (13.02.98), Par. Nos. [0030] to [0034]; Figs. 3, 4 (Family: none)	2-6,9-11
X	JP 10-153981 A (Matsushita Electric Industrial Co., Ltd.), 09 June, 1998 (09.06.98), Par. Nos. [0023] to [0024]; Fig. 1 (Family: none)	2-6,9-11

☒ Further documents are listed in the continuation of Box C. ☐ See patent family annex.

* Special categories of cited documents:	"T" later document published after the international filing date or priority date and not in conflict with the application but cited to
"A" document defining the general state of the art which is not considered to be of particular relevance	understand the principle or theory underlying the invention
"E" earlier document but published on or after the international filing date	"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"O" document referring to an oral disclosure, use, exhibition or other means	"&" document member of the same patent family
"P" document published prior to the international filing date but later than the priority date claimed	

Date of the actual completion of the international search  
22 April, 2002 (22.04.02)

Date of mailing of the international search report  
14 May, 2002 (14.05.02)

Name and mailing address of the ISA/  
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

## INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP02/00488

## C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2000-39865 A (Matsushita Electric Industrial Co., Ltd.), 08 February, 2000 (08.02.00), Par. Nos. [0064] to [0076]; Figs. 10, 11 (Family: none)	1, 3-6, 9-12
A	JP 2000-181400 A (Matsushita Electric Industrial Co., Ltd.), 30 June, 2000 (30.06.00), Par. Nos. [0022] to [0036]; Figs. 8, 9 & EP 1055216 A1 & CN 1290386 A & KR 2001034465 A & WO 00/36581 A1	2-11, 13

## 国際調査報告

国際出願番号 PCT/JPO2/00488

## A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int. Cl. G09G3/20, G09G3/28, H04N5/66

## B. 調査を行った分野

## 調査を行った最小限資料 (国際特許分類 (IPC))

Int. Cl. G09G3/20, G09G3/28, H04N5/66

## 最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報 1926-1996年  
 日本国公開実用新案公報 1971-2002年  
 日本国登録実用新案公報 1994-2002年  
 日本国実用新案登録公報 1996-2002年

## 国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

## C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
X	J P 8-130696 A (松下電器産業株式会社) 1996.05.21 段落番号【0014】-【0017】, 図1, 2, 3 (ファミリーなし)	1-7, 9-11
X	J P 10-39830 A (松下電器産業株式会社) 1998.02.13 段落番号【0030】-【0034】, 図3, 4 (ファミリーなし)	2-6, 9-11

☒ C欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

## \* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの

「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの

「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)

「O」口頭による開示、使用、展示等に言及する文献

「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&amp;」同一パテントファミリー文献

国際調査を完了した日

22.04.02

国際調査報告の発送日

14.05.02

国際調査機関の名称及びあて先

日本国特許庁 (ISA/JP)

郵便番号100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

橋本 直明

2G

9707

電話番号 03-3581-1101 内線 3225

## C (続き). 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
X	JP 10-153981 A (松下電器産業株式会社) 1998.06.09 段落番号【0023】-【0024】，図1 (ファミリーなし)	2-6, 9-11
A	JP 2000-39865 A (松下電器産業株式会社) 2000.02.08 段落番号【0064】-【0076】，図10, 11 (ファミリーなし)	1, 3-6, 9-12
A	JP 2000-181400 A (松下電器産業株式会社) 2000.06.30 段落番号【0022】-【0036】，図8, 9 &EP 1055216 A1 &CN 1290386 A &KR 2001034465 A &WO 00/36581 A1	2-11, 13